

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000294540 A**

(43) Date of publication of application: **20.10.00**

(51) Int. Cl. **H01L 21/3065**
C23F 4/00
H01L 21/28
H01L 21/3213
H01L 29/78

(21) Application number: **11100112**

(71) Applicant: **NEC CORP**

(22) Date of filing: **07.04.99**

(72) Inventor: **TOKASHIKI TAKESHI**

(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE
AND APPARATUS FOR MANUFACTURING**

(57) Abstract

PROBLEM TO BE SOLVED: To provide a method and device for manufacturing a semiconductor devices, including a plasma treatment process using an inductively coupled plasma treatment device, in which electronic shading damages can be made difficult to generate, and working accuracy can be increased, and reliability can be increased.

SOLUTION: At patterning of a laminated metal wiring by using an inductively coupled plasma etching device, RF bias frequencies are set so as to be 1 MHz or higher, and RF source side frequencies are set so as to be 1 MHz or higher as a plasma generation condition at patterning, and the RF source side is pulse-modulated in a cycle which is 100 μ sec or longer, and its pulse-on time is set at 50 μ sec or longer.

COPYRIGHT: (C)2000,JPO

(51)Int.Cl. ⁷	識別記号	FI	テ-マ-ト*(参考)
H 0 1 L 21/3065		H 0 1 L 21/302	B 4K057
C 2 3 F 4/00		C 2 3 F 4/00	A 4M104
H 0 1 L 21/28		H 0 1 L 21/28	F 5F004
21/3213		21/88	D 5F033
29/78		29/78	3 0 1 F 5F040
審査請求 有 請求項の数6 OL (全 9 頁)			

(21)出願番号	特願平11-100112	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成11年4月7日(1999.4.7)	(72)発明者	渡嘉敷 健 東京都港区芝五丁目7番1号 日本電気株 式会社内
		(74)代理人	100088328 弁理士 金田 暢之 (外2名)

最終頁に続く

(54)【発明の名称】 半導体装置の製造方法と製造装置

(57)【要約】

【課題】 電子シェーディングダメージが発生しにくく、加工精度が高く、かつ信頼性の高い、誘導結合型プラズマ処理装置を用いたプラズマ処理工程を含む半導体装置の製造方法及び製造装置を提供する。

【解決手段】 積層メタル配線を誘導結合型プラズマエッチング装置を用いてパターンニングする際、パターンニング時のプラズマ生成条件として、RFバイアス周波数を1MHz以上、RFソース側周波数を1MHz以上とし、RFソース側を100μsec以上の周期でパルス変調し、且つその際のパルスオン時間を50μsec以上とする。

【特許請求の範囲】

【請求項1】 積層メタル配線を誘導結合型プラズマエッチング装置を用いてパターンニングする工程を有する半導体装置の製造方法であって、パターンニング時のプラズマ生成条件として、RFバイアス周波数を1MHz以上、RFソース側周波数を1MHz以上とし、RFソース側を100μsec以上の周期でパルス変調し、且つその際のパルスオン時間を50μsec以上とすることを特徴とする半導体装置の製造方法。

【請求項2】 重畳するパルスが矩形波である請求項1に記載の半導体装置の製造方法。

【請求項3】 パルス変調の周期が500μsec以下であり、且つその際のパルスオン時間を450μsec以下とすることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項4】 パターンニングされる積層メタル配線がアルミニウム系配線であり、前記積層メタル配線はN-c hMOSFETと電氣的に接続されていることを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置の製造方法。

【請求項5】 パターンニングされる積層メタル配線が1000乃至100000のアンテナ比を有し、配線間スペースが0.3μm以上であることを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置の製造方法。

【請求項6】 気密容器、該気密容器内に制御して気体を導入する手段、該気密容器内を制御して排気する手段、該気密容器内に被処理基板を保持する手段、該気密容器内の気体から誘導結合プラズマを生成するための周波数1MHz以上のRFエネルギーを投入するためのRFソース、及び前記被処理基板に周波数1MHz以上のRFバイアス電位を印加するRFバイアス電位印加手段とを有する誘導結合型プラズマ処理装置からなる半導体装置の製造装置であって、RFソース側を100μsec以上の周期で、且つその際のパルスオン時間を50μsec以上でパルス変調可能なパルス発生手段を有することを特徴とする半導体装置の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法及び製造装置に関し、特にアルミニウム系の積層メタル配線層を誘導結合型プラズマ装置を用いてパターンニングする工程を含む半導体装置の製造方法及び製造装置に関する。

【0002】

【従来の技術】LSI（大規模集積回路）の集積度向上に従い、パターンの微細化が進んでいる。微細化したマスクパターンを忠実に導電層と絶縁層に転写するため、反応性イオンエッチング（RIE）、エレクトロンサイクロトロンレゾナンス（ECR）プラズマエッチング等

のプラズマを利用した異方性ドライエッチングが多用されている。

【0003】一方、半導体素子の微細化に伴い、絶縁ゲート型電界効果トランジスタのゲート絶縁膜の厚さは薄くなっており、10nm以下のものが実用化されつつある。このように、薄いゲート絶縁膜は小さな電氣的ストレスでも損傷を受けやすい。

【0004】配線の材料としてアルミニウム系材料が多用されており、このアルミニウム系材料のドライエッチング方法としていくつかのプラズマを利用した異方性ドライエッチング方法が知られている。なお、ここでいうアルミニウム系とはアルミニウムまたはアルミニウム合金を指すものとする。

【0005】例えば、半導体基板上に形成したアルミニウム系導電層を、レジストパターン等をマスクとして、BCl₃ガスとCl₂ガスとの混合ガスのプラズマでエッチングする方法である。プラズマ中ではBCl₃はBCl₂⁺となり、Cl₂はCl⁺（ラジカル）を生成する。これらCl種がアルミニウム系導電層と化学的に反応し、蒸気圧が高い揮発性のAlCl₃を形成する。AlCl₃が蒸発除去されることによりアルミニウム系材料のドライエッチングが行なわれる。

【0006】この時、プラズマプロセスにおいては、基板に上記Clイオン種以外に、電子が入射する。入射する正・負電荷に差が生じると、基板とは電氣的に分離されたゲート絶縁膜上の導電層に電荷がチャージアップする。この結果、導電層と下の基板との間に電位差が生じると、ゲート絶縁膜を通してトンネル電流が流れることによって、ゲート絶縁膜の誘電特性は変化し、絶縁破壊を生じさせることもある。

【0007】このように、ゲート絶縁膜上の導電層であるゲート電極、またはゲート電極に接続された導電層（これらを以下、ゲート配線と呼ぶ）にチャージアップが生じ得るプラズマプロセスは、ゲート絶縁膜に損傷を与え得る。このようなプロセスとしては、ゲート配線層のパターンニング、ゲート配線層に達するコンタクトホール開口、ゲート配線層に達するコンタクトホール内のスパッタエッチによるクリーニング、ゲート配線層が一部露出した表面上へのプラズマCVD等である。

【0008】また半導体基板上のプラズマが不均一であると、半導体基板に流入するイオン電流と電子電流に差が生じ、この差に基づくトンネル電流がゲート絶縁膜を流れる可能性が生じる。半導体装置の集積度が上がるにつれて、ゲート絶縁膜の面積に対するアルミ配線系導電層の面積（以下、アンテナ比と言う）は、加速的に増加する。高いアンテナ比の導電膜をプラズマ加工すると、僅かなプラズマの不均一により、大量のトンネル電流がゲート絶縁膜を流れる可能性がある。

【0009】しかしながら、平坦な表面に対しては均一な電荷分布を示すプラズマを用いても、アスペクト比の

高い開口部（ナロースペース）を有するレジストマスクを用いたプラズマ加工においては、電子シェーディングダメージと呼ばれる高密度プラズマ特有のチャージングダメージが発生することが報告されている。

【0010】電子シェーディングダメージは配線間底部におけるイオンフラックスと電子フラックスのチャージアンバランスおよびドライエッチングの特性であるマイクロローディングに起因する。以下にその理由を図12を用いて説明する。

【0011】プラズマ放電時にRF印加電極に形成されるイオンシース内においてイオンフラックス101は異方的に入射するが電子フラックス102はプラズマバルク中と同様ほぼ等方的に入射する。

【0012】電子フラックスの等方性のため、多くの電子104は絶縁マスク（例えばレジストマスク103）の側壁に入射する。その結果、レジストマスク103側壁に電子104が蓄積し負の電位が形成される。隣接したレジストマスク103間の距離が小さいほど、すなわちアスペクト比が増大するほど負の電位の重ね合わせによりレジスト近傍空間の負電位はさらに増大する。そのため、電子フラックス102の配線間底部106への到達量は急激に減少する。一方、イオン107は負電位にじゃまされることなく容易に配線間底部106へ到達する。よって、アスペクト比の高い配線間底部106では、電子フラックス102とイオンフラックス101のアンバランスが生じる。

【0013】ドライエッチングの特徴として、マイクロローディング効果がある。マイクロローディング効果とは、配線アスペクト比に対してエッチングレートが異なる現象をいう。一般的にアスペクト比が増大するにつれエッチレートは低下する。そのため、アスペクト比の低いところ（低アスペクト比領域）では被エッチング材料であるメタル配線105は完全にエッチングが終了しているにも関わらず、アスペクト比が高いところ（高アスペクト比領域）ではまだエッチングが終了していない。低アスペクト比領域がエッチング除去された時点から高アスペクト比の配線間底部106が完全にエッチング除去されるまでの間（これを今後、注入時間と称する）、配線間底部106に生じるチャージアンバランスによる正の電荷が蓄積される。

【0014】その結果、ゲート電極108はシリコン基板109に対して正の電位となる。このチャージアンバランスを解消しようとシリコン基板109からゲート酸化膜110を通して電子が注入される（注入電荷111）。注入電流はゲート電位および注入時間に比例しており、注入時間は先程述べたとおりである。

【0015】過剰な注入電流がゲート酸化膜110に流れることにより、ゲート酸化膜110の劣化および破壊が生じる。以上が電子シェーディングダメージに至るメカニズムである。

【0016】従来、パルス変調してプラズマを発生させることでプラズマの均一化を図る方法が提案されている。例えば、特開平6-267900号公報、特開平8-181125号公報（特許掲載公報第2845164号）、特願平10-88491号などには、ECRプラズマ源で600kHz以下のRFバイアスを印加し、パルス周期100μsec以下（10kHz以上）でパルスオフ時間10～100μsecを選択することで、正・負イオンを効率よく生成し、電荷蓄積の無い高精度なエッチングが可能であることが記載されている。特に特開平6-267900号公報には、50kHzのパルス変調プラズマを用いることで、高アスペクト比のコンタクトホールエッチング時におけるマイクロローディングを抑制できることが記載されている。

【0017】また、特開昭61-13625号公報には、処理室内に導入された処理ガスをプラズマ状態化する放電手段と、プラズマ中のイオンを加速し被処理物に入射せしめるイオン加速手段とを有してなるプラズマ処理装置において、放電集団、イオン加速手段にそれぞれ放電電圧変調手段、印加電圧の変調あるいは制御手段を設けたプラズマ処理装置が開示され、変調手段による変調がAM変調あるいはFM変調とすることで、電子温度の分布や反応種の組成比、イオンエネルギー分布を制御できることが記載されている。

【0018】これらの従来技術に開示されたプラズマ装置はECRプラズマ装置などの複雑で高価な磁石を使用する装置であり、しかもこの磁石の使用が試料の電気的特性の劣化につながることが指摘されており、これに代わるものとして誘導結合型プラズマ（ICP）装置が提案されている。ICP装置は、ECRに比べれば若干プラズマ密度は低いものの、磁石を使用していないため、装置構成が単純であり、他の方法に比べて低電気的損傷、機械的高信頼性、高メンテナンス性、低コストである等の利点がある。

【0019】特開平9-92645号公報には、半導体層上に形成される絶縁耐圧がB（V）であり、厚さが10nm以下のゲート絶縁膜と、その上に形成されたアンテナ比500以上であるアンテナ構造の導電体層、その上に形成され、アスペクト比が1より大の開口部を有する絶縁体パターンを有する半導体ウエハをプラズマ処理室に搬入し、電子温度 T_e （eV）が $T_e \leq B$ であるプラズマ中で処理する工程を含む半導体装置の製造方法が記載されている。特にICPエッチング装置を用いて、13.56MHzのソース電源からRF電力を投入してプラズマを発生させると共に、rfバイアス源から66.7kHzのrf電力を投入して基板電位を制御して、プラズマエッチングする方法が開示されており、rfバイアス源からrf出力波形に相似するrf信号を取り出し、パルス発生器に供給し、パルス発生器は入力したrf信号と同じ繰り返し周期で所望の位相に同期した

所望のオン期間を有するパルスが発生させ、このパルスをソース電源に入力して13.56MHzのrf電力をパルスに応じてON/OFF変調、具体的には、オン期間を5 μ sec、オフ期間を10 μ secとして、位相角を240°とすると、電子温度をゲート絶縁膜の耐圧以下とすることができると記載されている。その結果、密で微細なパターンを有するプラズマ加工においてプラズマに起因するゲート絶縁膜の損傷を防止することができるとしている。尚、オフ時間を長くすると電子温度が低下する時間が長くなり、その期間の最後における電子温度はより低下すると考えられており、損傷の著しい低下は、少なくともこの電子温度の低下に依存するものとしている。

【0020】

【発明が解決しようとする課題】本発明の目的は、電子シェーディングダメージが発生しにくく、加工精度が高く、かつ信頼性の高い、誘導結合型プラズマ処理装置を用いたプラズマ処理工程を含む半導体装置の製造方法及び製造装置を提供することである。

【0021】

【課題を解決するための手段】上記課題を解決可能な本発明は、積層メタル配線を誘導結合型プラズマエッチング装置を用いてパターンニングする工程を有する半導体装置の製造方法であって、パターンニング時のプラズマ生成条件として、RFバイアス周波数を1MHz以上、RFソース側周波数を1MHz以上とし、RFソース側を100 μ sec以上の周期でパルス変調し、且つその際のパルスオン時間を50 μ sec以上とすることを特徴とする半導体装置の製造方法である。

【0022】重畳するパルスとしては矩形波であることが好ましく、パルス変調の周期は500 μ sec以下であり、且つその際のパルスオン時間を450 μ sec以下であることが好ましい。

【0023】尚、本発明でパターンニングされる積層メタル配線はアルミニウム系配線であり、前記積層メタル配線はn-chMOSFETと電気的に接続されている。又、同配線は、最大40,000倍のアンテナ比を有し、最小の配線間スペースが0.3 μ mであることを特徴とする。尚、前記MOSFETのゲート絶縁膜は6nm以下である。

【0024】また本発明では、気密容器、該気密容器内に制御して気体を導入する手段、該気密容器内を制御して排気する手段、該気密容器内に被処理基板を保持する手段、該気密容器内の気体から誘導結合プラズマを生成するための周波数1MHz以上のRFエネルギーを投入するためのRFソース、及び前記被処理基板に周波数1MHz以上のRFバイアス電位を印加するRFバイアス電位印加手段とを有する誘導結合型プラズマ処理装置からなる半導体装置の製造装置であって、RFソース側を100 μ sec以上の周期で、且つその際のパルスオン

時間を50 μ sec以上でパルス変調可能なパルス発生手段を有することを特徴とする半導体装置の製造装置が提供される。

【0025】

【発明の実施の形態】以下、図面を参照して本発明を詳細に説明する。

【0026】図1は、本発明で使用する誘導結合型プラズマ(ICP)処理装置の構成を説明する概略図である。同図において、ステンレス等のチャンバー1の上部にはコイル3で発生したマイクロ波を透過可能な石英又はセラミックス製の誘電体窓(ベルジャ)2が設けられ気密な反応室6を構成している。チャンバー1内には、処理対象である基板5を保持するサセプタ4が設置されている。サセプタ4には、基板温度を調整するための冷却・加熱手段を設けても良い。尚、図示していないが、チャンバー1にはチャンバー1内を排気して所望の真空度に制御する排気手段と、BCl₃、Cl₂等のエッチャントガスなどの気体をチャンバー1内に所定流量に制御して導入するガス導入手段が設置されている。チャンバー1内にICP放電7を生起するには、RFソース電源8から1MHz以上のRFパワーをコイル3を介して反応室内に投入する。この時サセプタ4にRFバイアス電源9から1MHz以上の周波数のRFバイアスを投入し、基板5の電位を制御してICP放電7中のイオンを所望のエネルギーに加速して基板5に衝突させることができる。

【0027】本発明で、RFソース側及びRFバイアス側を共に1MHz以上としているのは、RFソース側を1MHz以上とした場合、それより低い周波数と比べて放電が容易であり、且つ放電の安定性にも優れている。又、RFバイアス側が1MHz未満の場合、イオンエネルギー分布が低エネルギー側から高エネルギー側まで大きく広がる(すなわち、半値幅が大きくなる)が、この時、高エネルギー成分のイオンがレジスト選択性を悪化させる。これに対し、本発明のようにRFバイアス側を1MHz以上とすると、イオンエネルギーの半値幅も狭いので、レジスト選択性の悪化は少ない。

【0028】本発明では、RFソース電源8において発生するRF電力を、パルス発生器10で発生させた矩形波により、周期100 μ sec以上(10kHz以下)、パルスオン時間50 μ sec以上にパルス変調してプラズマ生成を行っている。

【0029】そこで、パルス変調の仕方の違いによる絶縁層へのダメージの度合いについて説明する。ここでは、ゲート絶縁膜厚6nm、ゲート長0.25 μ m、ゲート幅10 μ mのゲート電極とその周辺部に形成されるアンテナ構造の配線を形成する場合を例として、配線間スペース及びアンテナ比を種々変更し、パルス周期によるn-チャネル(ch)の閾値電圧(V_t)の変化を測定した。尚、閾値測定に際してはドレイン電圧(V_d)

を2.0V、ドレイン電流(I_d)を0.2Aとして測定した。

【0030】結果を図2～図10に示す。尚、図2～図7については、エッチャントガスとしてC₁₂、BC₁₃、添加ガスとしてCHF₃を用いて、それぞれの流量を110、45、10sccmに設定し、図1に示す装置にて、RFソース電源8から2MHz、1000WのRFソース電力を、RFバイアス電源9から13.56MHz、300WのRFバイアスをそれぞれ投入し、圧力10mtorr、基板温度60℃で処理したものを、図8～10では、上記の各ガスの流量を80、100、10sccmに変えた場合を示している。

【0031】図2では、パルス放電としない従来技術を示したものである。配線間スペースが0.3μm、0.4μm、0.5μmではアンテナ比が1000倍を越えたところから閾値が上昇する。特に0.3μmスペースの場合、アンテナ比10000倍を越えたところで閾値が低下しているが、これはゲート酸化膜が完全に破壊されたことと一致する。

【0032】図3では、オン時間及びオフ時間をそれぞれ50μsecとした場合、配線間スペース0.3μm、0.4μmではアンテナ比1000を越えたあたりから閾値が上昇しているが、それ以外ではアンテナ比が高くなっても閾値がほとんど変化しておらず、効果があることが示されている。図4、図5に示すように、更にオン時間を長くしていくと閾値電圧の上昇がより抑制されていることが分かる。これに対して、本発明の範囲外である図6では、配線間スペース0.5μmにおいても閾値の上昇が確認された。尚、オン時間をあまり長くしすぎると、再び閾値の上昇が見られ、図7に示すようにパルス周期500μsec、オン時間450μsec程度が上限である。

【0033】エッチャント組成比を変えた図8～10でも同様に閾値電圧の抑制効果が確認されている。図8ではほぼ図3と同じ結果が得られていることから、パルス周期100μsec以上、パルスオン時間50μsec以上において効果があることが分かる。

【0034】次に、本発明において効果の得られる機構について説明する。図11は、プラズマ電子温度が、上記の条件でパルスオフ時間50μsec一定とし、パルスオン時間を変えた場合にどのように変化するかを示したものである。参考としてパルス変調していない連続放電、及びパルスオン時間50μsec/パルスオフ時間30μsec(図6の場合)についても示した。従来より、電子温度を下げることでプラズマダメージを抑制できることは知られており、従来は平均的に電子温度を下げるのが求められていたが、その後、プラズマ発生初期の立ち上がり時においてはそれほど大きなダメージを与えないとの説が唱えられている。本発明においてもパルス立ち上がり時にはパルスオン時間を長くするほど電

子温度は連続放電時の電子温度よりも若干高くなるが、それに伴って電子温度の振幅も大きくなり、電子温度の下降傾向も大きくなっている。パルスオン時間を長くすることで電子温度の下降傾向が大きくなり、その結果、上記に示したような本発明の効果が得られているものと推察される。これは、前記の特開平9-92645号公報などに示されているように、パルスオン時間よりもパルスオフ時間を長くすることが電子温度低下に効果があるといわれていたこととは全く逆の結果を示しており、今回、本発明者によって初めて明らかにされたものである。

【0035】尚、パルスオフ時間については特に限定されないが、あまりオフ時間を長くすると、プラズマが消えてしまってまともにエッチングができないため、パルス周期にもよるが、最長100μsec程度までである。逆にオフ時間を短くすればするほど連続放電に近いプラズマ密度が得られるが、あまり短くすると電子温度の降下が不十分となるため、オン時間の長さにもよるが、20μsec以上、好ましくは30μsec以上とするのが望ましい。

【0036】

【発明の効果】積層メタル配線を誘導結合型プラズマエッチング装置を用いてパターンニングする際のプラズマ生成条件として、RFバイアス周波数を1MHz以上、RFソース側周波数を1MHz以上とし、RFソース側を100μsec以上の周期でパルス変調し、且つその際のパルスオン時間を50μsec以上とすることで、配線間スペース及びアンテナ比を上げてチャージングダメージを軽減することができる。

【0037】尚、本発明では、エッチャント、パワー、圧力等のプラズマ生成条件は上記で説明したもののみに限定されるものではなく、本発明の範囲内で適宜変更することができる。また、処理対象としてアルミニウム配線について説明したが、これに限定されるものではなく、ポリシリコンのエッチング、シリコン酸化膜のエッチング等、誘導結合型プラズマ装置を用いる場合に適用できることは言うまでもない。

【図面の簡単な説明】

【図1】本発明の誘導結合型プラズマ処理装置の一例を示す構成図である。

【図2】連続放電でのアンテナ比と配線間スペースによる閾値電圧の変化を示すグラフである。

【図3】パルスオン時間50μsecでのアンテナ比と配線間スペースによる閾値電圧の変化を示すグラフである。

【図4】パルスオン時間120μsecでのアンテナ比と配線間スペースによる閾値電圧の変化を示すグラフである。

【図5】パルスオン時間200μsecでのアンテナ比と配線間スペースによる閾値電圧の変化を示すグラフで

ある。

【図6】本発明の範囲外でのアンテナ比と配線間スペースによる閾値電圧の変化を示すグラフである。

【図7】パルスオン時間450 μ secでのアンテナ比と配線間スペースによる閾値電圧の変化を示すグラフである。

【図8】パルスオン時間50 μ secでのアンテナ比と配線間スペースによる閾値電圧の変化を示すグラフである。

【図9】パルスオン時間120 μ secでのアンテナ比と配線間スペースによる閾値電圧の変化を示すグラフである。

【図10】パルスオン時間200 μ secでのアンテナ比と配線間スペースによる閾値電圧の変化を示すグラフである。

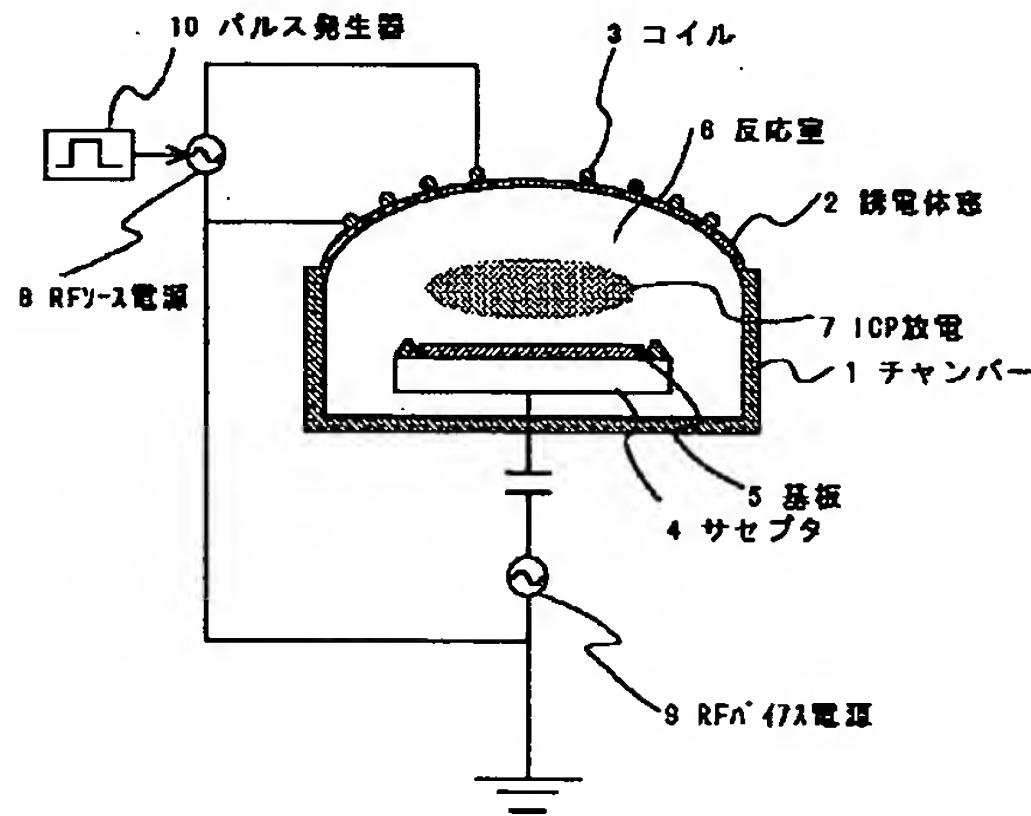
【図11】パルスオン時間による電子温度の変化を示すグラフである。

【図12】電子シェーディングダメージを説明する概念図である。

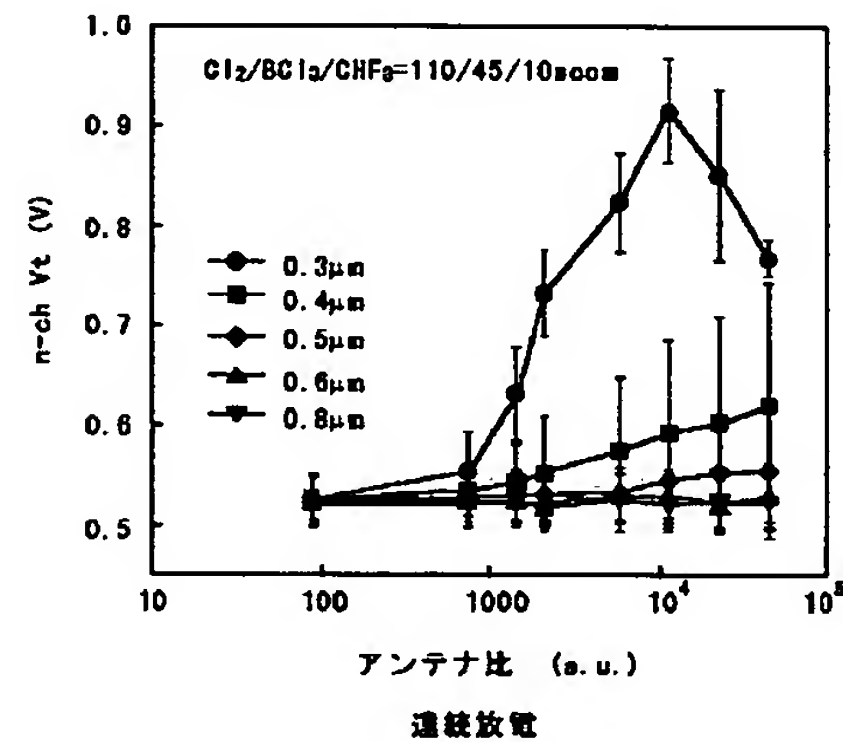
【符号の説明】

- 1 チャンバー
- 2 誘電体窓
- 3 コイル
- 4 サセプタ
- 5 基板
- 6 反応室
- 7 ICP放電
- 8 RFソース電源
- 9 RFバイアス電源
- 10 パルス発生器

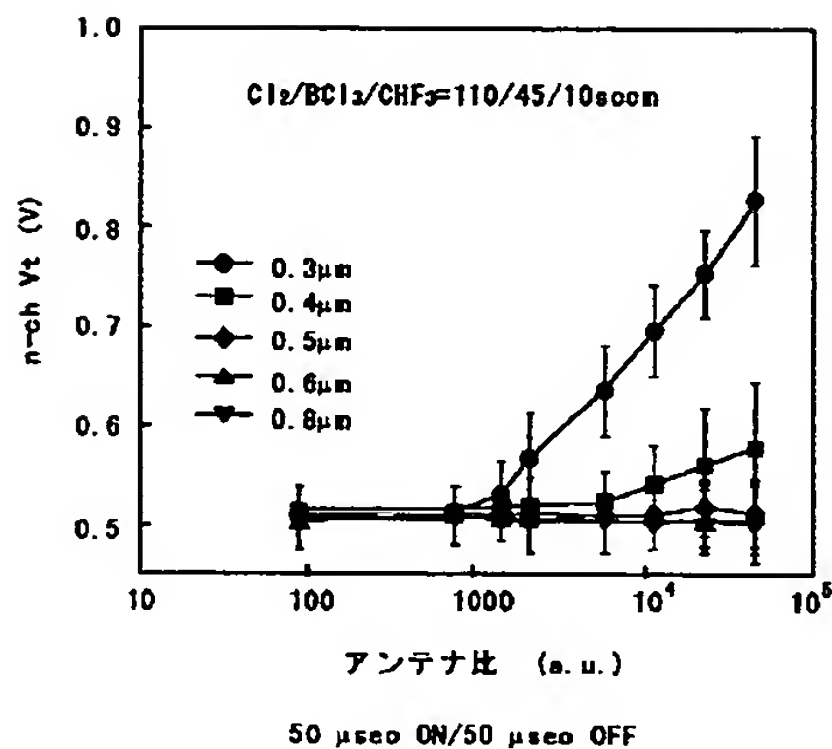
【図1】



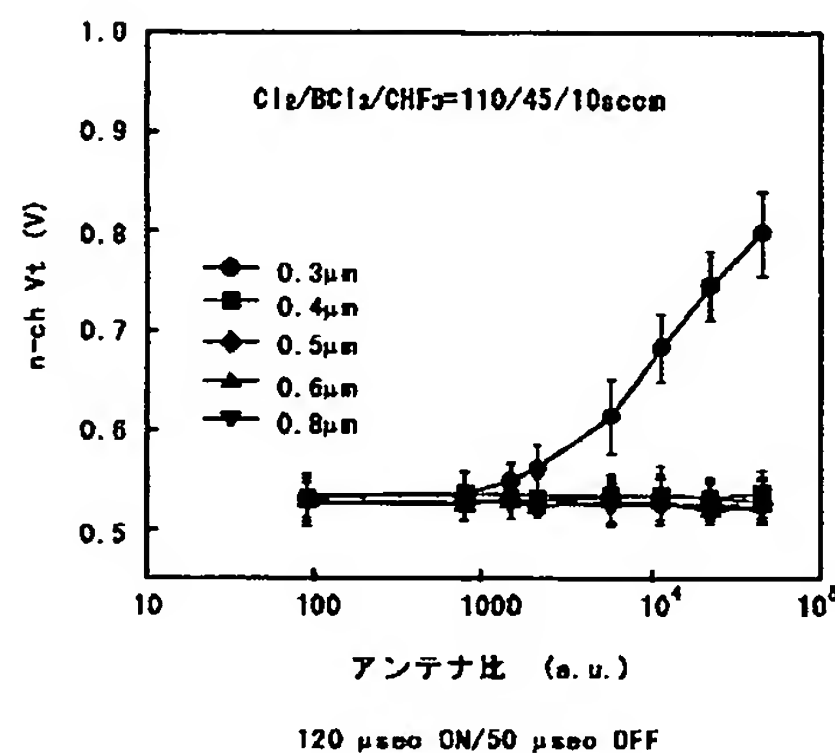
【図2】



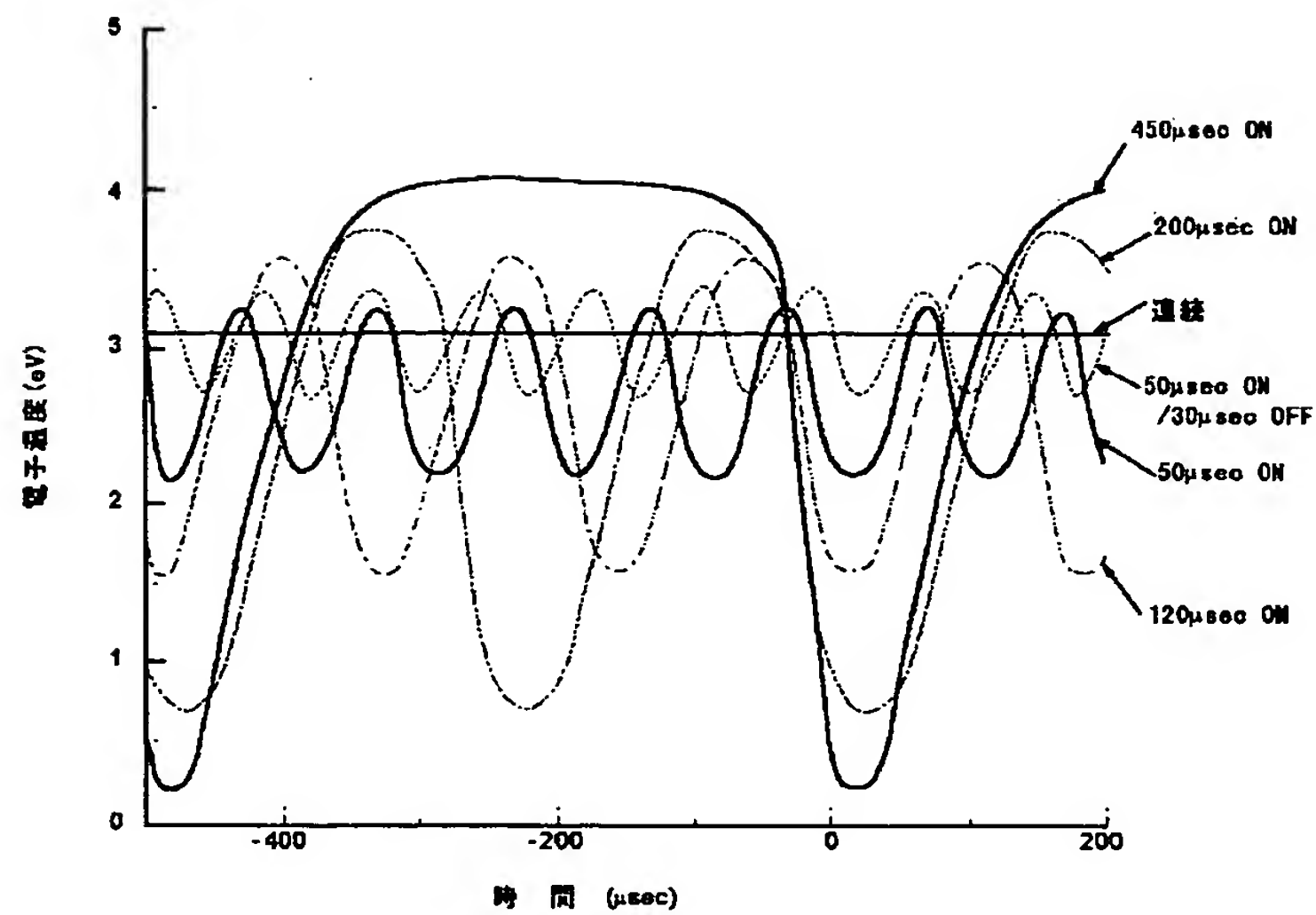
【図3】



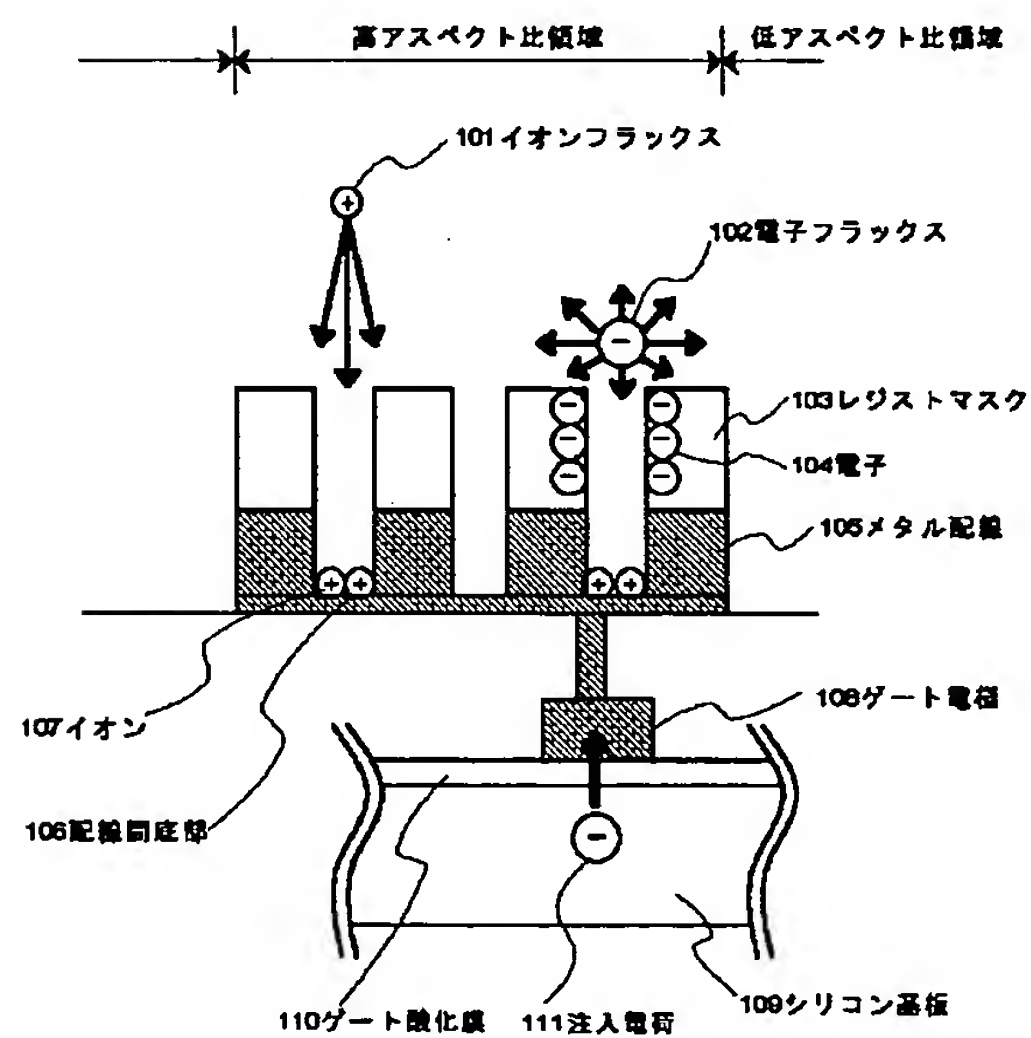
【図4】



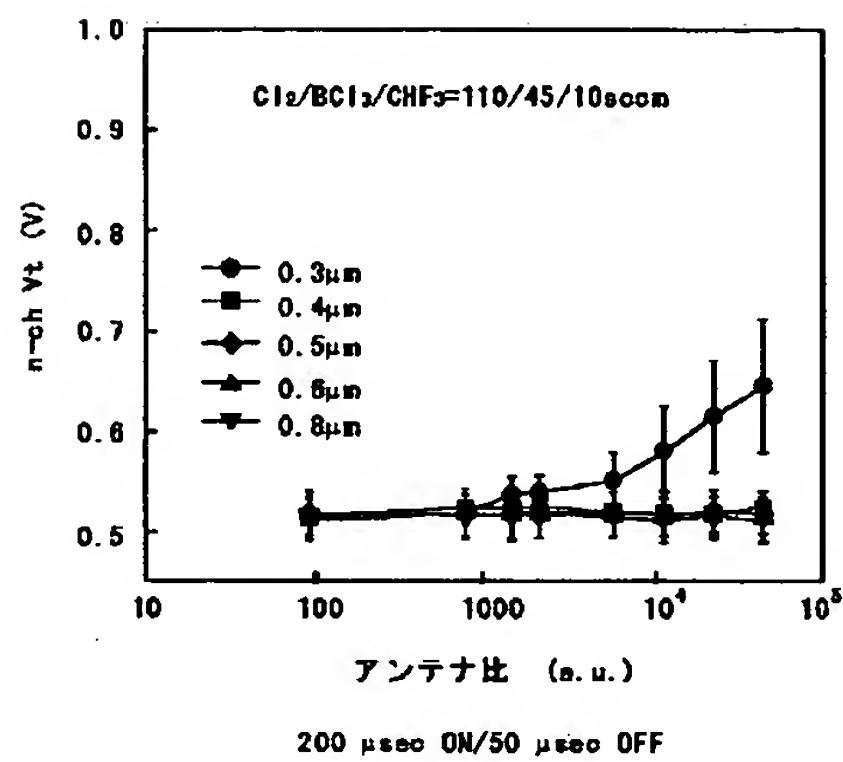
【図11】



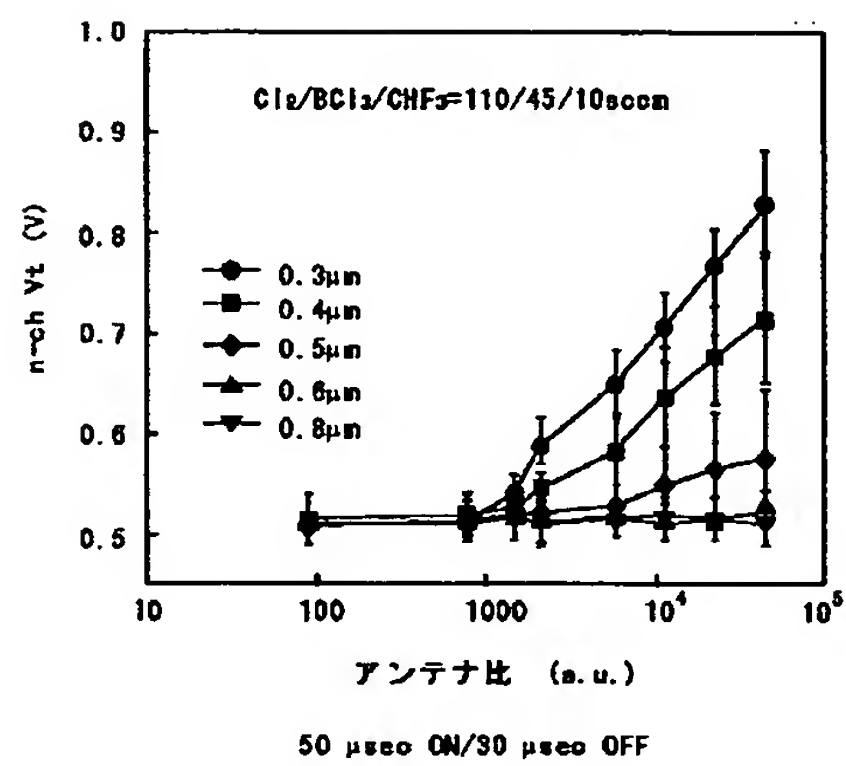
【図12】



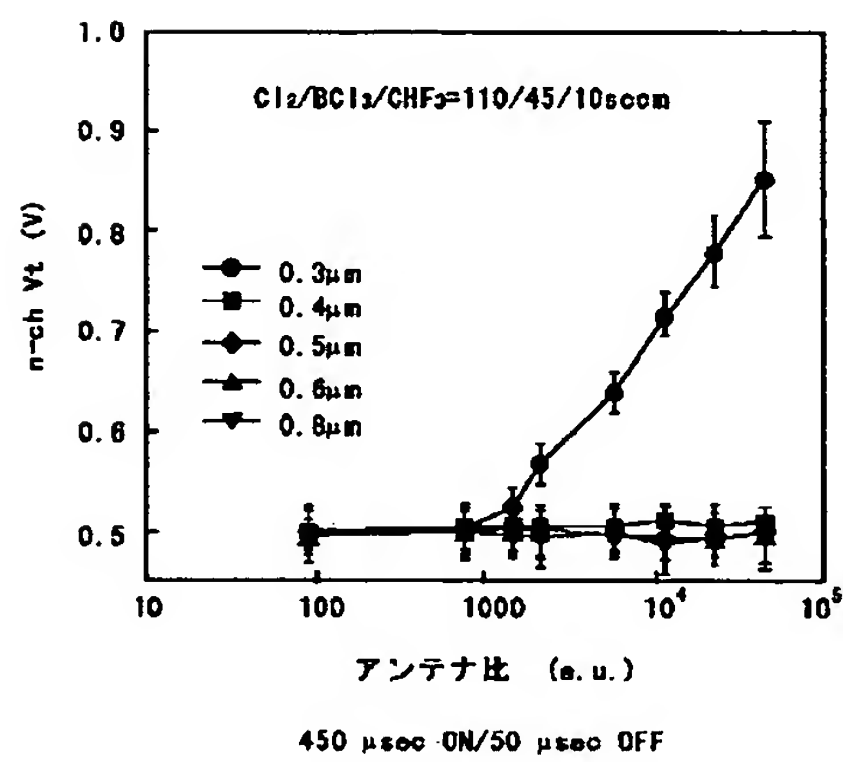
【図5】



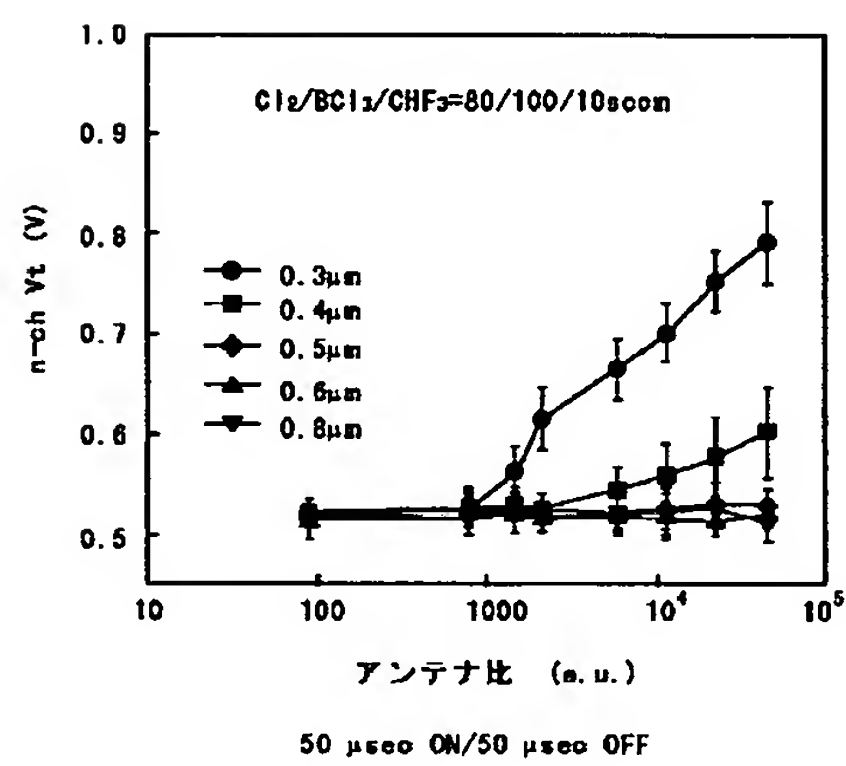
【図6】



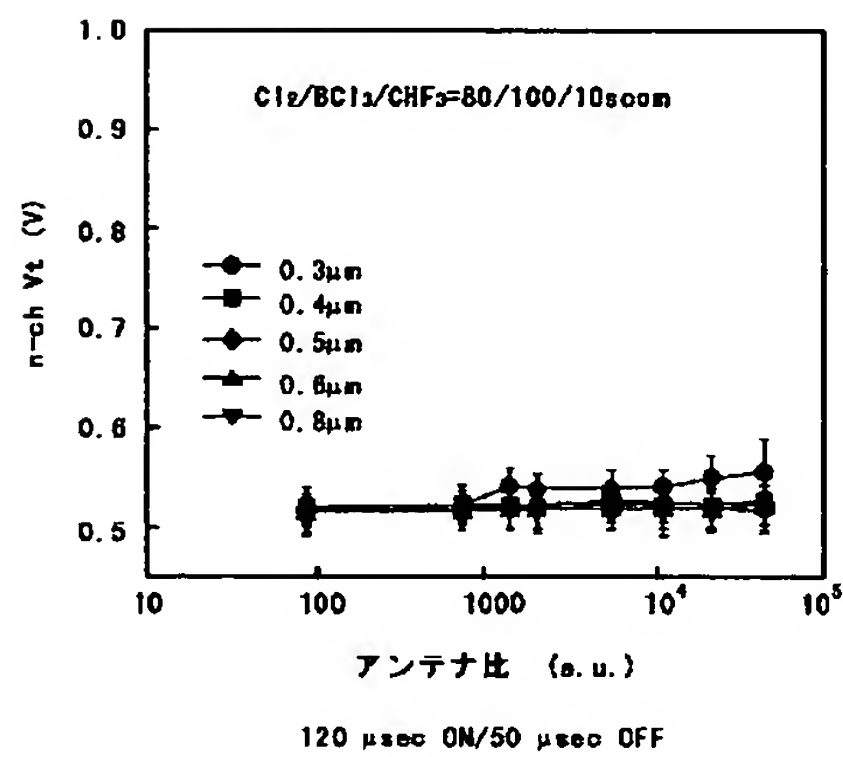
【図7】



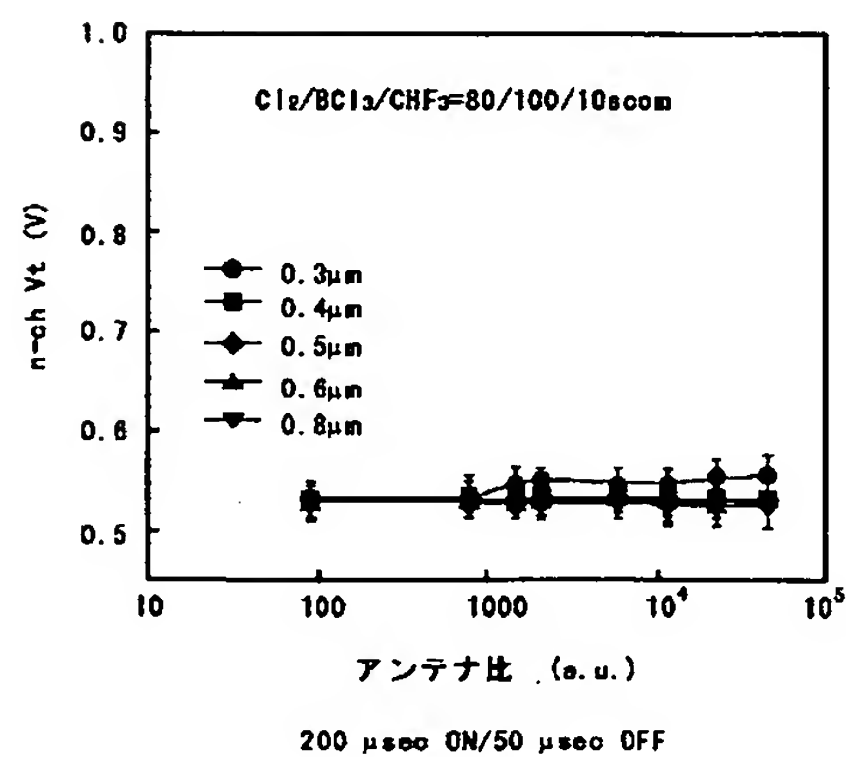
【図8】



【図9】



【図10】



フロントページの続き

Fターム(参考) 4K057 DA02 DA16 DB05 DD01 DE01
DE04 DE06 DG15 DG20 DM17
DM18 DM19 DN02
4M104 BB02 DD65 GG09 HH11
5F004 AA06 BA20 BB11 BD02 CA03
CA06 CA09 DA04 DA11 DA16
DB02 DB03 DB09 EB02
5F033 HH08 QQ08 QQ12 QQ13 XX00
5F040 FC21